

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2962346号

(45)発行日 平成11年(1999)10月12日

(24)登録日 平成11年(1999) 8 月 6 日

(51)Int.Cl.⁸

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 2 4

G 0 1 R 31/26

G 0 1 R 31/26

B

H 0 1 L 21/66

H 0 1 L 21/66

Z

29/78

29/78

3 0 1 T

請求項の数6 (全 13 頁)

(21)出願番号

特願平8-909

(22)出願日

平成8年(1996)1月8日

(65)公開番号

特開平9-186338

(43)公開日

平成9年(1997)7月15日

審査請求日

平成8年(1996)1月8日

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者

黄 俐昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人

弁理士 後藤 洋介 (外1名)

審査官 松田 成正

(58)調査した分野(Int.Cl.⁸, DB名)

H01L 29/78

G01R 31/26

H01L 21/66

(54)【発明の名称】 電界効果型トランジスタの解析方法

1

(57)【特許請求の範囲】

【請求項1】 絶縁体上に形成される半導体層を備えた電界効果型トランジスタの解析方法において、チャンネルを形成するキャリアとは異なる導電型のキャリアが、前記半導体層内に蓄積する領域の体積をあらかじめ求める求積段階と、タイムステップ t_1 の間における前記キャリアの生成量から、前記キャリアの消滅量を引いて得られた差を、キャリア量に加えることで前記タイムステップ t_1 後のキャリア量を求め、このタイムステップ t_1 後のキャリア量を前記半導体層内に蓄積する領域の体積で割ることにより、前記タイムステップ t_1 後の正孔濃度を求める正孔濃度演算段階と、前記タイムステップ t_1 後の正孔濃度に基づいて、新たに再結合及び拡散による前記キャリアの単位時間当りの消滅量を求め、次のタイムステップに対するキャリア量

2

と正孔濃度の計算を繰り返すことにより、前記キャリア総量または濃度における過渡的变化によりもたらされる、伝導電流の過渡的变化を求める過渡的電流変化演算段階とを備えていることを特徴とする電界効果型トランジスタの解析方法。

【請求項2】 請求項1記載の電界効果型トランジスタの解析方法において、チャンネルを形成するキャリアとは異なる導電型のキャリアが前記半導体層内に蓄積する領域の体積として、ソース・ドレイン電極に挟まれた前記半導体層内における前記キャリアの総量を、電位障壁部における正孔濃度で除して得られる等価的な体積を用いることを特徴とする電界効果型トランジスタの解析方法。

【請求項3】 請求項1記載の電界効果型トランジスタの解析方法において、中性領域のキャリア濃度は常に

平衡状態における値とし、
 キャリア量が増加した場合は、前記キャリアの増加量を
 平衡状態における正孔濃度で除して得られる体積だけ中
 性領域が空乏層側に伸び、
 逆にキャリア量が減少する場合には同じく前記体積だ
 け、中性領域が減少するとした場合において、得られた
 空乏層幅を用いて、空乏層とゲート酸化膜内におけるポ
 アソンの方程式を、前記空乏層と前記中性領域との境界
 で電界がゼロになるという条件と、ゲート電極の電位と
 を境界条件として解き、前記中性領域の電位もしくはS
 O I 層内の電位分布を求める電位分布演算段階と、
 前記キャリアの擬フェルミ準位の変化について、これを
 中性領域の電位の変化に追従するとして求める擬フェル
 ミ準位演算段階と、
 得られた前記キャリアの擬フェルミ準位を用いて拡散電
 流及び再結合電流を求める拡散・再結合電流演算段階と
 を有することを特徴とする電界効果型トランジスタの解
 析方法。

【請求項4】 請求項1乃至3の内のいずれかに記載の
 電界効果型トランジスタの解析方法において、繰り返し
 計算の中で、一回の計算単位における解析対象時間、即
 ち、タイムステップ t_1 を、単位時間当りの電位の変化
 量が大きい場合には小さく、
 前記変化量が小さい場合には大きくなるように、動的に
 変化させることを特徴とする電界効果型トランジスタの
 解析方法。

【請求項5】 請求項1乃至3の内のいずれかに記載の
 電界効果型トランジスタの解析方法において、一回の計
 算ステップにおける正孔の変化量 ΔN に対する最大値 Δ
 N_{\max} を設定し、タイムステップ t_1 における正孔の変化
 量 ΔN が ΔN_{\max} を越える場合には、正孔の変化量 ΔN
 が ΔN_{\max} になる値に前記タイムステップ t_1 を設定し直
 すことを特徴とする電界効果型トランジスタの解析方
 法。

【請求項6】 請求項1乃至5の内のいずれかに記載の
 電界効果型トランジスタの解析方法において、
 タイムステップにおける正孔の個数の変化を、その変化
 による電流値の期待値が拡散電流、結合電流及び生成電
 流値に一致するような確率を用いて、乱数を用いて決定
 することを特徴とする電界効果型トランジスタの解析方
 法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ロジックあるいは
 メモリLSIに用いられる電界効果型トランジスタ(F
 ET)の解析方法に関し、詳しくは、SOI(Silicon
 on insulator) MOS(metal oxide semiconductor)F
 ET等、素子内部の電荷量が時間に依存して変化する素
 子における、時間に依存した電流値の変化の見積り及び
 前記素子により構成される回路の特性に対するシミュレ

ーション方法に関する。

【0002】

【従来の技術】 絶縁体上の半導体基板、即ち、SOI基
 板上に形成された電界効果型トランジスタ、即ち、SO
 IMOSFETにおいては、半導体層の下に絶縁層があり、
 半導体層中のキャリアが、バルク基板中の素子のよう
 に基板側に流入できないために生じる、いくつかの異
 常動作が知られている。

【0003】 例えば、nチャネルトランジスタを例にと
 ると、図11のようにドレイン端で発生した正孔がSO
 I層中に蓄積する現象が知られている。また、図12を
 参照して、ゲート電圧が変化した場合には、バルク基
 板からなる支持基板57上の電界効果型トランジスタで
 は、中性領域の幅が矢印で示すように速やかに変化する
 が、SOIMOSFETにおいては、基板57への正孔
 の排出もしくは基板からの正孔の供給が困難であるため
 に、中性領域幅が速やかに変化しないため、異常動作が
 発生することが知られている。

【0004】 具体的には、SOIMOSFETの異常動
 作として、以下のようなものが知られている。

【0005】 第1に、バルク基板中の素子ではドレイン
 端で衝突電離により発生した正孔が基板に流入するの
 に対して、SOIMOSFETでは、正孔が基板に流入で
 きないため、SOI層5中の正孔濃度が上昇して半導体
 層の電位を変化させ、その結果、電流値が変動を引き起
 こす。一般に、衝突電離により発生する正孔電流は、電
 子電流よりも数桁低いため、基板浮遊効果が定常状態に
 達するまでには、電子電流による充放電に伴う電極電位
 の変化よりも長い時間を要し、その間電流値は時間に依
 存して変化する。

【0006】 第2の異常動作について述べる。サブスレ
 ヂショルド領域において、ゲート電圧を低い値から高い
 値へ変化させた場合、支持基板17中の空乏層幅が新た
 なバイアス電圧における平衡状態へと遷移するために
 は、遷移に当り余剰となる正孔がチャネル近傍からは除
 去されなければならない。バルク基板中の素子では、正
 孔が直ちに基板側に排出されるため、空乏層幅は直ちに
 変化するが、SOIMOSFETにおいては正孔が基板
 側に排出されないため、より長い時間を要して拡散また
 は再結合によりキャリアが減少し、空乏層幅が変化する。
 pn接合部及びチャネル下部の空乏層幅が平衡状態
 より狭ければ、SOI層中の電位が正常値より上昇し、
 その結果電流値が上昇するため、SOIMOSFETで
 は電流値が正常値に落ち着くまでにバルク基板中の素子
 よりも長い時間を要する。これはカレントオーバーシュ
 ートと呼ばれる。この効果は、特に空乏層がSOI層の
 底まで届かない部分空乏化型素子において顕著である。

【0007】 第3の異常動作について述べる。サブスレ
 ヂショルド領域において、ゲート電圧を高い値から低い
 値へ変化させた場合、基板中の空乏層幅が新たなバイア

ス電圧における平衡状態へと遷移するために、遷移に当り必要となる正孔がチャネル近傍へ供給されなければならない。バルク基板上の素子では、正孔が直ちに基板側から供給されるため、空乏層幅は直ちに变化するが、SOIMOSFETにおいては正孔が基板側から供給されないため、より長い時間を要して拡散、熱励起またはバンド間トンネルによりキャリアが供給され、空乏層幅が変化する。pn接合部及びチャネル下部の空乏層幅が平衡状態よりも長い、SOI層中の電位が正常値より下がり、その結果、電流値が下がるので、SOIMOSFETでは電流値が正常値に落ち着くまでにバルク基板上の素子よりも長い時間を要することになる。平衡状態では、空乏層がSOI層全体に達しない素子において、SOI層がすべて空乏化している状態においても同様である。この効果は基板電圧を同様に变化させた場合にも生じる。

【0008】以上に述べたSOIMOSFET特有の時間応答が回路の動特性に与える影響を取り扱うために、特に上記した基板浮遊効果に対して、いくつかの解析方法が提案されている。

【0009】ウェイらはアイ・イー・イー・イー・エレクトロニクスデバイスレター、16巻494ページ(A. Wei et al: IEEE Electron Device Letter, Vol.16, p.494)に、デバイスシミュレータを用いて基板浮遊効果の時間依存性を解析した結果を報告している(以下、従来技術1と呼ぶ)。

【0010】図13はスー及びフォッサムによりアイ・イー・イー・イー・エレクトロニクスデバイス・オン・オブ・エレクトロニクス、42巻728ページ(D. Suh and G. Fossum: IEEE Trans. Electron Devices, Vol. 42, p.728)において提案されたSOIMOSFETの等価回路であり、この等価回路を用いるSOIMOSFETにより構成される回路の過渡解析を行う(以下、従来技術2と呼ぶ)。各ノードは図示の通り、Sはソース、Dはドレイン、Gfはゲート、BはSOI層、Gbは支持基板を表す。

【0011】また、 I_R は再結合電流、 I_{Gi} は衝突電離による生成電流、 I_{Gt} は熱励起による生成電流、 I_{CH} はチャネル電流、 I_T はバイポーラトランジスタ電流である。このモデルでは、B点の電圧 V_{BS} は、定常状態では、接点方程式 $I_R = I_{Gi} + I_{Gt}$ に基づいて決められ、過渡応答に対しては、ノードBに蓄積している電荷量の時間微分 dQ_B/dt の影響を含めると記述されている。

【0012】また、図14は、伊藤らにより提案されたモデル(従来技術3と呼ぶ)で、ノードCが正孔の蓄積するSOI層に相当する。ノードCに電荷が蓄積すると、容量結合 C_1 及び C_2 によりノードCの電位が上昇し、その結果ダイオードを流れる電流が増加するとするものである。また、 I_{gen} は正孔を増加させる生成電

流、 I_{rec} は正孔を減少させる再結合電流である。このモデルでは、SOI層に相当するC点の電位は高周波動作時におけるダイオード電流、拡散電流、及び再結合電流の関係から決まり、その結果サブスレッショルド領域において、電流値のゲート電圧依存性が図15のように平行にシフトするとしている。これにより回路の過渡動作を計算する。

【0013】また、過渡解析ではないが、空乏層がSOI層の全体まで伸びない部分空乏化型SOIMOSFETに関する解析モデルが、マトロウビアンらによってアイ・イー・イー・イー・トランザクションズ・オン・オブ・エレクトロニクス、37巻1985ページ(M. Matroubian et al: IEEE Trans. Electron Devices, Vol.37, p.1985)に報告されている(以下、従来技術4と呼ぶ)。このモデルにおいては、平衡状態において拡散電流と再結合電流の和が衝突電流と等しいという条件から正孔の擬フェルミエネルギーを決定し、SOI層の電位の変化が、正孔の擬フェルミエネルギーの変化に等しいとおき、基板浮遊効果により生じるSOI層の電位の変化を求めるものである。

【0014】

【発明が解決しようとする課題】SOI層中の正孔が異常動作を引き起こすnチャネルSOIMOSFETを例に挙げ、本発明の技術的課題について述べる。

【0015】デバイスシミュレーションでは、大規模な行列計算を行なって解を求めるが、SOIMOSFETに正孔が蓄積する現象について計算するためには、電子及び正孔の両者を取り扱う必要があり、計算量が大きくなる。例えば、RISCチップを用いた通常のワークステーションを用いた場合、正孔の蓄積が顕著な条件では一つのバイアス条件の計算に数時間を要することがある。加えて、この現象を扱う場合、素子内部でキャリア濃度が不均一で、かつその時間依存性も大きいので、行列計算が収束せず計算結果を得られないという問題が頻発する。また、過渡解析を行なう場合には解析対象とする時間の刻み幅、即ち、タイムステップを適切に設定する必要があるが、一般に、基板浮遊効果においては初期において電流値などの物理量が急激に変動し、時間の経過とともにその変化が緩やかになるが、物理量の時間に対する変化の割り合いは、数桁の変化を示すため、解析を始める以前から適切なタイムステップを知ることは困難であり、試行錯誤が必要となり、作業効率が悪い。

【0016】これに対して、解析モデルを用いれば、シミュレーションにおいて大規模な行列演算を行なうことに起因する計算時間増大および収束性の困難さが解決されるが、問題とする現象が適切にモデル化されなければならない。

【0017】正孔の蓄積に起因する異常動作の時間依存性を扱う場合、正孔の拡散及び再結合が時間に依存して変化するため、これらを時間に依存して決定する必要が

ある。しかし従来例においては、シミュレーションを除いて、正孔の拡散及び再結合の時間依存性を取り扱えない。以下、その理由を詳細を述べる。

【0018】従来技術2において、正孔が蓄積する領域の電位を、定常状態においては $I_R = I_{Gi} + I_{Gt}$ という電流の関係から決定している。過渡解析に対しては、電流の次元を持つ dQ_B / dt という量で補正するが、あくまでの電流を基本として計算を行っており、電位変動の原因である正孔の振舞いから直接求めていないので、モデルの精度、適用範囲の広さにおいて不利である。また、精度や適用範囲を拡張するためには、物理的な意味合いが不明確な図12中の抵抗 R_B 等のパラメータを抽出もしくはモデル化する必要があるが、これは容易ではなく、上記文献においてもその方法は記述されていない。

【0019】従来技術3による伊藤らのモデルでは、正孔の蓄積に起因して、動作周波数と生成電流に応じてドレイン電流がゲート電圧に対して平行にシフトしているが、定量的にそのシフト量を扱う方法が示されていない。また、与えられた動作周波数に対してシフト量を一定として取り扱っているため電荷の蓄積に係わる動的な問題、例えば、素子がONからOFFを繰り返す一つの周期の中で、正孔の蓄積量が変化するために、電位が時間とともに変動する現象を扱うことができない。

【0020】また、従来技術4の部分空乏化型SOIMOSFETを扱ったマトロービアンらのモデルは、平衡状態を仮定している。平衡状態において生成電流が、再結合電流と拡散電流の和と等しいという条件に基づいて、正孔の擬フェルミエネルギーを決定し、正孔の擬フェルミエネルギーの変化とSOI層の電位の変化が等しいという仮定から、SOI層の電位を求めている。

【0021】しかし、基板浮遊効果の応答時間は通常回路のスイッチング時間に比べて大きいので、素子のスイッチングは基板浮遊効果が平衡に達していない状態で行われると考えられる。したがって彼等のモデルは素子の過渡解析には適当でないと考えられる。

【0022】このような問題をデバイスシミュレーションにより計算すると、計算時間が増大し、また収束性が悪い。また、純粋な解析モデルだけで計算を行おうとすると、キャリアの二次元的な分布に対する取扱いが困難で、精度が得られない。

【0023】そこで、本発明の技術的課題では、大規模な行列計算を必要とする数値シミュレーションに比べ計算時間が短く、また解の収束性が良い電界効果型トランジスタの解析方法を提供することにある。

【0024】

【課題を解決するための手段】本発明の電界効果型トランジスタの解析方法では、絶縁体上に形成される半導体層を備えた電界効果型トランジスタの解析方法において、チャネルを形成するキャリアとは異なる導電型のキ

ャリアが、前記半導体層内に蓄積する領域の体積をあらかじめ求める求積段階と、タイムステップ t_1 の間における前記キャリアの生成量から、前記キャリアの消滅量を引いて得られた差を、キャリア量に加えることで前記タイムステップ t_1 後のキャリア量を求め、このタイムステップ t_1 後のキャリア量を前記半導体層内に蓄積する領域の体積で割ることにより、前記タイムステップ t_1 後の正孔濃度を求める正孔濃度演算段階と、前記タイムステップ t_1 後の正孔濃度に基づいて、新たに再結合及び拡散による前記キャリアの単位時間当りの消滅量を求め、次のタイムステップに対するキャリア量と正孔濃度の計算を繰り返すことにより、前記キャリア総量または濃度における過渡的变化によりもたらされる、伝導電流の過渡的变化を求める過渡的電流変化演算段階とを備えていることを特徴としている。

【0025】本発明においては、絶縁体上に形成される電界効果型トランジスタについて、チャネルを形成するキャリアとは異なる導電型のキャリアが、半導体層内に蓄積する領域の体積をあらかじめ求め、一定時間経過した後のキャリア量を該体積で割ることにより、正孔濃度を求める。

【0026】また、本発明においては、SOI層が完全に空乏化する完全空乏化型SOIMOSFETにおいて、前記キャリアの単位時間当りの発生量と主たるキャリアによる電流との比を規定する値、再結合及び拡散による該キャリアの単位時間当りの消滅量と、前記キャリアに対する正孔の擬フェルミ準位との関係を規定する量をあらかじめ求めておき、ある時間 t_1 当りの前記キャリアの生成量から消滅量を引いて得られた差を、キャリア量に加えることで t_1 後のキャリア量を求める。

【0027】また、本発明においては、SOI層が完全に空乏化する完全空乏化型SOIMOSFETにおいて、前記キャリアが半導体層内に蓄積する領域の体積として、ソース・ドレイン電極に挟まれた半導体層内における前記キャリアの総量を、電位障壁部における正孔濃度で除して得られる等価的な体積を用いる。

【0028】また、本発明においては、SOI層が完全に空乏化せず、SOI層中に中性領域が残る部分空乏化型SOIMOSFETにおいて、中性領域のキャリア濃度は常に平衡状態における値とし、キャリア量が増加した場合は、キャリアの増加量を平衡状態における正孔濃度で除して得られる体積だけ中性領域が空乏層側に伸び、逆にキャリア量が減少する場合には同じく前記体積だけ、中性領域が減少するとする。そして得られた空乏層幅を用いて、空乏層とゲート酸化膜内におけるポアソンの方程式を、空乏層と中性領域との境界で電界がゼロになるという条件と、ゲート電極の電位とを境界条件として解き、中性領域の電位もしくはSOI層内の電位分布を求める。

【0029】また、本発明においては、部分空乏化型S

SOIMOSFETにおいて、前記キャリアの擬フェルミ準位の変化が、中性領域の電位の変化に追従するとして求め、得られた前記キャリアの擬フェルミ準位を用いて拡散電流及び再結合電流を求める。

【0030】さらに、本発明においては、繰り返し計算の単位である時間 t_1 を、単位時間当りの電位の変化量が大きい場合には小さく、変化量が大きい場合には小さくなるように、動的に変化させる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

【0032】本発明の実施の形態では、代表的なバイアス点における定常状態のシミュレーション結果から解析モデルで必要となる特徴的な値を抽出し、それを用いて、任意のバイアス条件、及び任意の時間に対する過渡応答の解析を行う。本発明の実施の形態においては、大規模な行列計算を必要とする数値シミュレーションに比べ計算時間が短く、また解の収束性が良い。

【0033】さらに、具体的に述べると、SOI層に正孔が蓄積し、電位が時間とともに変動する問題において、単位時間あたりのSOI中の正孔の総量の変化は、正孔を増す作用のある生成電流 I_{gen} から、正孔を減らす作用がある拡散電流 I_{diff} と再結合電流 I_{rec} とを引いたものに等しい。したがって、時刻 t_0 におけるSOI層中の正孔の総量が N_0 であるとする、 t_0 から t_1 経過した間における正孔の総量の変化 ΔN は、下記数1式で与えられる。

【0034】

【数1】

$$\Delta N = (I_{gen} - I_{diff} - I_{rec}) t_1$$

また、 t_1 経過した後の正孔の総量 N_1 は、下記数2式で与えられる。

【0035】

【数2】

$$N_1 = N_0 + (I_{gen} - I_{diff} - I_{rec}) t_1$$

次の時間ステップにおいては、拡散電流 I_{diff} と再結合電流 I_{rec} について、 t_1 経過した状態における新たな値を求める必要がある。しかし、これらの電流を求めるためには、時刻 t_1 における正孔の総量 N_1 ではなく、正孔濃度 p を知らなければならない。しかし、正孔はSOI層中に均一に分布しておらず、二次元的な分布をしているので、単純に正孔の総量をSOI層の体積で割ることにより、正孔濃度 p を得ることはできない。

【0036】そこで、本発明の実施の形態では、正孔の総量 N と正孔濃度 p を結び付ける量として、図1のように正孔が分布する等価的な体積 V (符号10)を導入し、あらかじめ体積 V をデバイスシミュレーションなどにより抽出する(求積段階)とともに、下記数3式にと

いう関係式を用いることで、正孔の総量 N から正孔濃度 p を決定できるようにする(正孔濃度測定段階)。ここで、図1は本発明の実施の形態による電界効果型トランジスタの解析方法の説明に供せられる図である。図1を参照して、支持基板7上に埋め込み酸化膜6が形成され、その上にソース3及びドレイン4とその間に挟まれた領域であるボディ領域8を備えたSOI層5が形成され、その上に、ゲート酸化膜2が形成され、その上にゲート電極1が形成されている。正孔の総量 N と正孔濃度 p とを結び付ける量として正孔が分布する等価的な体積 V を示している。

【0037】

【数3】

$$p = N/V$$

正孔濃度 p が得られると、新たな I_{gen} 、 I_{rec} が決定できるので、新たに得られた I_{gen} 、 I_{rec} を用いて上述の計算を繰り返して行うこと(過渡的電流変化演算段階)により、正孔の総量 N と正孔濃度 p の時間依存性を求めることができる。また各時間におけるSOIの電位及び電流値を正孔の総量 N または正孔濃度 p から求めることができる。

【0038】上述の方法によれば、従来はデバイスシミュレーションでしか扱えなかった、拡散電流 I_{diff} 再結合電流 I_{rec} が正孔濃度に依存して時間とともに変化するという効果を、解析モデルにおいて容易に扱うことができる。

【0039】次に、部分空乏化型SOIMOSFETの基板浮遊効果について、得られた正孔濃度から電位分布を求める方法を述べる。正孔の増加分 ΔN が得られると、図2の如く、中性領域13と中性領域ではない領域である空乏層の境界から空乏層に向かって、 ΔN に相当する正孔を分布させる。この時、新たに正孔を分布させる領域においては、正孔濃度が常に中性領域の平衡状態の値を保つようにする。そして、もとの中性領域13と、新たに正孔を配置したことにより新たに中性領域となった領域14を合わせたものを、あらたな中性領域13とする。次に、ゲート電極とゲート酸化膜の境界の電位がゲート電位と等しいとする条件と、中性領域と空乏層の境界で電位勾配が等しいという条件を境界条件とし、ポアソンの方程式を解き、SOI層の垂直断面に対して、図3のような電位分布を得る(電位分布演算段階)。こうして得られた電位分布を用いて、ドレイン電流を求める。

【0040】部分空乏化型SOIMOSFETの基板浮遊効果を扱ったマトローピアン従来技術4では、素子が平衡状態に至るまでの応答を取り扱うことができないが、本発明の実施の形態によれば、部分空乏化型SOIMOSFETにおいても、平衡状態に至るまでの応答を逐次求めることが可能となる。

【0041】次に、タイムステップの設定について述べ

る。正孔に対する生成電流は、SOI層5の電位に依存して数桁変化する。このため短時間のうち生成電流が数桁変化する状況が発生することがある。この時、一回の計算ステップでは生成電流の値として単一の値を用いるので、一回の計算ステップ取り扱う時間の長さ、すなわちタイムステップが大きすぎると、その間の生成電流の変化を扱い切れず、計算にともなう誤差が増大するという問題を生じる。

【0042】一般に、生成電流、電位などの時間に対する変化の割合が大きいとき、これらの変化の割合の時間依存性（物理量の時間による二次微分量）が大きくなり、この問題を生じやすい。一方、タイムステップが小さすぎると、計算ステップを繰り返す回数が増大するため、計算時間の増大をまねく。この問題に対して、本発明の実施の形態では、解析モデルにより計算を行うので、電位、生成電流などの物理量に対して、時間に対する変化の割合をあらかじめ知ることができる。そこで、この変化の割合が大きいときにはタイムステップを小さく、変化の割合が小さいときには、タイムステップが大きくなるように、タイムステップを動的に変化させることで、常に適切なタイムステップを用いることができ、上述の問題を解決することができる。あるいは、比較的小さなタイムステップを用いて数段階の計算を行い、得られた物理量に対する補間式をもとめ、補間式を用いて比較的に長い時間を得た後の物理量を求めることで、上述の問題を解決することができる。

【0043】また、各タイムステップにおける正孔の個数の変化を、その変化による電流値の期待値が拡散電流、再結合電流及び生成電流値に一致するような確率を用いて、正孔の注入、消滅が発生するか否かを、一回のタイムステップでの個数が整数となるように、乱数を用いて決定する。この方法によれば、微細な素子で重要となる正孔量の時間的な揺らぎの影響を取り扱うことができる。

【００４４】次に、本発明の実施の形態をさらに具体的に、図面を参照して説明する。

【００４５】（具体例１） n チャネル完全空乏化型ＳＯＩＭＯＳＦＥＴのサブスレッショルド領域における解析について述べる。図１を再び参照して、各構成要素の具体的な寸法としては、例えば、ゲート長は $0.8\ \mu\text{m}$ 、チャネル幅は $0.8\ \mu\text{m}$ 、ゲート酸化膜厚は $10\ \text{nm}$ 、ＳＯＩ膜厚は $50\ \text{nm}$ 、埋め込み酸化膜厚は $4000\ \text{nm}$ とする。

【0046】二次元デバイスシミュレータにより、完全空乏化型SOIMOSFETのサブスレッショルド領域におけるあるバイアス点について正孔濃度の分布を求めると、図4のような結果が得られる。図4中のSOI層5のソース3とドレイン4とに挟まれたボディ領域8中の曲線は、正孔濃度に関する等高線を示している。図4に示される正孔濃度の分布から、全チャネル幅にわたり

正孔濃度の総和を求め、それをNとする。また電位障壁9における正孔濃度をPとしたとき、正孔が分布する等価的な体積Vを下記数4式により決定する。

【 0 0 4 7 】

【数 4】

$$V = N/p$$

これは、本来二次元的に、かつ不均一な濃度をもって分布する正孔が、図 1 に示すように正孔が分布する等価的な体積 V (符号 10) の中に均一に分布するとして取り扱うものである。体積 V は、あくまでの仮想的な値であるから、実際の正孔の分布とはかけ離れた値、例えば、ボディ領域 8 よりも大きな値、あるいは逆に極めて小さな値をとることもあるが、解析を行う上では問題がない。

【0048】また、正孔が分布する等価的な体積 V はバイアス電圧に依存せず一定であるという近似を行なっても良く、また複数のバイアス条件に対する抽出結果をもとに、バイアス電圧依存性を与える適当なモデルを用いても良い。また、正孔が分布する等価的な体積 V は、電子と正孔の両者を扱う2キャリアのデバイスシミュレーションから得た正孔濃度を用いるのではなく、より計算時間の短い、電子だけを扱った1キャリアのデバイスシミュレーションから得られる電位分布に基づき、正孔濃度が電位に対して指数関数的に変化するという既知の関係を用いて決定してもよい。

【0049】次に、時間応答に関する計算方法について述べる。時刻 t_0 において、SOI 層中に正孔が蓄積し、その総量は N_0 であるという条件を初期値とする。この時、時刻 t_0 における電位障壁 9 の位置における正孔濃度 p を下記数 5 式により、また正孔の擬フェルミエネルギー E_{FP} を下記数 6 式により求める（擬フェルミ準位演算段階）。

【 0 0 5 0 】

【数 5】

$$p = N_0 / V$$

【 0 0 5 1 】

【数 6】

$$E_{fp} = -kT \log (p/n_i) + E_{i0}$$

ここで、正孔量の初期値 N_0 は、繰り返し行なわれる計算において、一つ前のステップで得た結果を用いる。但し、繰り返し計算の内、最初のステップにおいては、まず正孔量の初期値をゼロ ($N_0 = 0$) とし、与えられたバイアス条件において、正孔量が定常値に至るまで計算を繰り返し、その結果、得られた正孔量を初期値として用いる。上記数 6 式において、 k はボルツマン定数、 T は絶対温度、 E_{i0} は、正孔による電位変動を無視した場合の電位障壁 9 の位置におけるミッドギャップエネルギーである。 E_{i0} は、バイアス条件だけに依存して決ま

る値であり、与えられたバイアス条件に対して電子だけを考慮し基板浮遊効果を無視した定常状態に関するシミュレーション結果、素子に対する実測結果、あるいは適当なモデル等に基づきあらかじめ求めた関係を用いて定める。以下、時間依存性のないパラメータを、シミュレーション結果、素子に対する実測結果、既存のモデルあるいは適当な近似モデルによりあらかじめ求めることを、単にあらかじめ求めると呼ぶ。

【0052】時刻 t_0 におけるサブスレッショルド領域におけるドレイン電流 I_D を下記数7式、ドレイン端の衝突電離により発生する正孔による電流、即ち、生成電流 I_{gen} を下記数8式を用いて求める（拡散・再結合電流演算段階）。

【0053】

【数7】

$$I_D = A W n_i \exp [E_i / k T]$$

【0054】

【数8】

$$I_{gen} = (M-1) I_D$$

ここで、 $(M-1)$ は衝突電離による増倍係数、 q は単位電荷、 A はサブスレッショルド電流を決める定数、 W はチャネル幅、 n_i はシリコンの真性キャリア濃度である。なお、電子のフェルミエネルギーはゼロとおく。但し、 A の値と $M-1$ のバイアス電圧依存性は、解析を行なう素子についてあらかじめ求めておく。また、上記数7式における E_i は時刻 t_0 における電位障壁9の位置でのミッドギャップエネルギーで、例えば、下記数9式により定める。

【0055】

【数9】

$$E_i = -q (p T_{SOI} / C_{ox}) + E_i$$

上記数9式は、正孔がSOI層5の垂直方法に均一に分布し、かつ正孔からの電界がすべてゲート電極に向かうという仮定に基づいたものであるが、他のモデル式を用いてもよい。

【0056】ソース接合を乗り越えてソース領域に流入する正孔電流成分である拡散電流 I_{diff} は、下記数10式、ソース接合またはボディ領域8中での再結合により失われる正孔電流成分である再結合電流 I_{rec} は、下記数11式により求める。

【0057】

【数10】

$$I_{diff} = I_{diff0} \exp [(-E_{fp}) / k T]$$

【0058】

【数11】

$$I_{rec} = I_{rec0} \exp [(-E_{fp}) / 2 k T]$$

ここで、定数 I_{diff0} 及び I_{rec0} はあらかじめ求めておく。これらは定数とせず、バイアス条件に依存する値としても良い。

【0059】時間 t_0 における正孔の総量 N の時間に対する変化の割合 $dN / dt |_{t=t_0}$ は、生成電流 I_{gen} から拡散電流 I_{diff} 及び再結合電流 I_{rec} を引いた差を単位電荷で割った値であるとして、下記数12式により求める。

【0060】

【数12】

$$dN / dt |_{t=t_0} = (I_{gen} - I_{diff} - I_{rec}) / q$$

次に、時間 t_1 の間における正孔の総量の変化量 ΔN を、下記数13式により求める。

【0061】

【数13】

$$\Delta N = t_1 \times (I_{gen} - I_{diff} - I_{rec}) / q$$

時刻 t_0 かある時間 t_1 が経過した時点における正孔の総量 N_1 は初期値 N_0 に ΔN を加えることで、下記数14式の通りに定める。

【0062】

【数14】

$$N_1 = N_0 + \Delta N$$

そして、得られた N_1 を新たな初期値 N_0 として、同様の計算を繰り返す。その間、バイアス条件が時間に依存して変化する場合は、計算を行なう都度 E_{i0} をバイアス条件から定まる値に更新する。

【0063】タイムステップ t_1 は、10ピコ秒から1マイクロ秒の範囲とし、上記数12式から得られる $dN / dt |_{t=t_0}$ が大きい場合には小さく、 $dN / dt |_{t=t_0}$ が小さい場合には大きくとる。

【0064】また、各タイムステップにおける正孔の個数の変化を、その変化による電流値の期待値が拡散電流、再結合電流及び生成電流値に一致するような確率を用いて、乱数を用いて決定する。

【0065】（具体例2）具体例1で正孔濃度がSOI層5の縦方向に対して大きく変化している場合において、正孔が分布する等価的な体積 V を決定する方法を具体例2において述べる。図5に示す通りSOI層5の縦方向において正孔の濃度分布が形成されている場合、電位障壁9の位置の正孔濃度をもとに正孔が分布する等価的な体積を決定すると、実際に正孔が分布している領域の体積とは大きく値が異なることがある。この場合、図5に示すように、正孔の蓄積量に基づいてSOI層5の電位を計算する時点で計算の方法によっては誤差の原因となりうるので、正孔の主に分布する領域中の代表点1

2を用いて、正孔が分布する等価的な体積 V を決定しても良い。この場合、正孔の主に分布する領域中の代表点12の正孔濃度を、上記数4式、上記数5式、及び上記数6式における p として用いる。また、電位障壁9の電位から正孔が主に分布する領域の代表点 p の電位を引いた差を V_1 として、上記数6式を下記数15式で置き換える。

【0066】

【数15】

$$E_{FP} = -kT \log(p/n_i) + E_{i0} - qV_1$$

(具体例3) 部分空乏化型SOIMOSFETにおいて、ある時刻 t_0 において、ドレイン電圧が V_1 から V_2 へ変化した場合について述べる。図6に示すように、ボディ領域8に空乏化しない中性領域13が残るとする。このような素子は、部分空乏化型SOIMOSFETと呼ばれる。ここで、中性領域13とは、 p 型基板から正孔が追い出されず、バルク基板上の電界効果型トランジスタの基板領域と同じように電気的中性を保っている領域をいう。図6中の曲線は電位に関する等高線を示し、中性領域13側で電位が低く、表面に近づくほど電位が高い。なお、数式中に用いる記号の意味は特に記さ

$$E_{FP} = -kT \log(p_{neu}/n_i) - q\phi_{neu} - E_g/2$$

中性領域13の電位 ϕ_{neu} は、一つ前の計算ステップから得た結果を用いる。今、行う計算が、第一回目のステップである場合には、中性領域13の電位 ϕ_{neu} 、中性領域13の正孔濃度 p_{neu} として、平衡状態における値、即ち、ソース3と中性領域13のフェルミ準位が等しいと置いて定まる値を用いる。上記数17式から得た

$$\Delta N = t_1 \times (I_{gen} - I_{diff} - I_{rec}) / q$$

得られた ΔN の電荷を、中性領域13と、空乏層との境界から、空乏層側へ電位の低い位置から順に配置する。この時、正孔を新たに配置する領域では正孔濃度が中性領域13と等しくなるようにする。空乏層中に、図7を参照して、正孔を配置したことにより生じる、新たに中性領域となった領域14と初期状態における中性領域13を合わせたものを、新たに中性領域13とする。そして、ゲート電極とゲート酸化膜2の境界の電位がゲート電位と等しいという条件と、中性領域と空乏層の境界で電位勾配がゼロであるという条件を境界条件として、ポアソンの方程式を解き、SOI層5中の電位分布、もしくは中性領域13と電位障壁9との電位を設ける。ゲート酸化膜2の左右両端の電位は、ゲート電位と、ソース及びドレイン電位を適当な関数で補間して定める。 ΔN が負の場合には、中性領域の境界で電位勾配がゼロになるという条件のもとで、取り除かれる正孔の数が ΔN になるように中性領域を小さくする。新たな正孔の総量 N はもとの N に ΔN を加えたものとする。しきい値電圧

ない限り具体例1と同じである。

【0067】ドレイン電圧が変化する前のしきい値電圧、もしくは、電位分布に基づき、ドレイン電流 I_D をSPICEに用いられているモデル等、通常モデルまたはあらかじめデバイスシミュレーションにより抽出して関係を用いて定める。次に、生成電流 I_{gen} を下記数16式により求める。

【0068】

【数16】

$$I_{gen} = (M-1) I_D + I_{gen1}$$

ここで、 $(M-1)$ はドレイン電圧が V_2 である場合の衝突電離による増倍係数である。 I_{gen1} は熱励起、拡散、バンド間トンネルなど、衝突電離以外によってもたらされる正孔電流である。増倍係数及び I_{gen1} とバイアス条件との関係は、夫々予め求めてあるものを用いる。

【0069】擬フェルミエネルギー E_{FP} は、中性領域13の電位 ϕ_{neu} 、中性領域13の正孔濃度 p_{neu} に基づき、下記数17式を用いて求める(擬フェルミ準位演算段階)。

【0070】

【数17】

E_{FP} を用いて、上記数10式及び上記数11式から拡散電流 I_{diff} 、再結合電流 I_{rec} を求め、時間 t_1 の間における正孔の総量の変化量 ΔN を、具体例1の上記数13式と同じく、下記数18式を用いて求める。

【0071】

【数18】

は、電位障壁9の電位が反転層15が形成される反転電位になるゲート電圧であるとして、求める。得られた電位障壁9の電位、又はしきい値電圧を求めて、通常のモデル、あるいはあらかじめもとのそれらとドレイン電流との関係を用いて、ドレイン電流を求める。新たに得られた、各領域の電位、及び正孔量を初期値として、上述の計算を繰り返す。

【0072】(具体例4) 具体例3において、縦方向の一次元の近似を行う場合について述べる。ゲート電位を ϕ_g 、初期状態での中性領域13の電位を ϕ_{neu0} 、電位障壁9を含む断面での中性領域13の幅を W_{neu0} とする。 t_1 時間において正孔量が ΔN 増加した場合、中性領域幅 ΔW_{neu} の増分 ΔW_{neu} を下記数19式により求める。

【0073】

【数19】

$$\Delta W_{neu} = \Delta N / (W \times L_{neu})$$

ここで、 ΔW_{neu} は正孔がある量だけ増加した時に、中性領域13がゲート1の側にどれだけ増加するかを示す値である。 L_{neu} は ΔW を決めるための値で、新たに中性領域となる領域14と同じ面積を持つ矩型を図8のように仮定したときにその長さを与える値である。 L_{neu} はたとえば、図3の断面における空乏層中の各位置における電位に対して、図8の断面において、電位が等しくなる点を等高線で結んだ時に、等高線がSOI層5中を通る区間の長さとして求める。

【0074】そして、元の中性領域13にその増加分を 10 【数20】

$$\phi = -q N_A (T_{\text{SOI}} - W_{\text{neu}}) / C_{\text{ox}} + \phi_g$$

【0076】

$$\begin{aligned} \phi_{\text{neu}} &= -q N_A (T_{\text{SOI}} - W_{\text{neu}}) / C_{\text{ox}} \\ &= -q N_A (T_{\text{SOI}} - W_{\text{neu}})^2 / (2 \times e_0 e_{\text{Si}} + \phi_g) \end{aligned}$$

ただし、 T_{SOI} は、SOI層5の膜厚、 C_{ox} はゲート酸化膜2の膜厚、 e_0 は真空の誘電率、 e_{Si} はシリコンの誘電率である。しきい値電圧は、 ϕ が反転電位 ϕ_{inv}

$$\phi_g = -q N_A (T_{\text{SOI}} - W_{\text{neu}}) / C_{\text{ox}} - \phi_{\text{inv}} - \Phi_{\text{ms}}$$

ただし、 Φ_{ms} はゲートとソースの仕事関数差である。 ϕ_{inv} はあらかじめ求めておくものとする。得られた ϕ 、 V_{th} から、既存のモデルを用いてドレイン電流を求める。あるいは、あらかじめ求めておいたこれらの値と、電流値を結ぶ関係を用いて、ドレイン電流を定める。

【0078】 ΔN が負の場合は ΔW だけ中性領域を基板側に縮め、同様の計算を行う。

【0079】(具体例5) 具体例3及び4において、反転層15が図7のように形成されている場合には、ポアソンの方程式を解く時に、境界条件としてゲート電位ではなく、反転層15の下部の電位が反転電位 ϕ_{inv} であるという条件を用いる。また、図9に示すように、ドレイン端に反転層15が消滅するピンチオフ領域16が形成され、かつポアソンの方程式を二次元的に解く必要がある場合には、ピンチオフ領域16におけるSOI層5の表面の電位を反転電位とドレイン4の電極の電位を用いて、適当に補間することから求め、これを、境界条件として用いる。SOI層5の上部、中性領域13の端以外の境界については、ソース3、ドレイン4、支持基板7などの電位をそのまま境界条件として用いる。

【0080】(具体例6) 具体例3及び4において、ゲート電圧も変化する場合には、ポアソンの方程式を解く段階で、ゲート電位をあらたなゲート電圧により定める値とする。具体例3及び4において、ドレイン電極電圧が変化せず、ゲート電圧だけが変化する場合には、最初のステップにおいては、ポアソンの方程式を解くと、SOI層5の全体の電位がゲート電位の変化分だけ上下するとして、ポアソンの方程式に関する計算を省略しても良い。

加えたものを新たな中性領域14の長さ W_{neu} とし、空乏層領域とゲート電極1との間で、境界条件としてゲート電位、及び中性領域の端で電位勾配がゼロであるという条件を用いて、ポアソンの方程式を解き、電位障壁における電位 ϕ 及び新たな中性領域14の電位 ϕ_{neu} を求める。SOI層中のアクセプタ濃度を N_A とすると、 ϕ は、下記数20式で、 ϕ_{neu} は、下記数21式で求められる。

【0075】

【数20】

【数21】

となる ϕ_g として、下記数22式により与えられる。

【0077】

【数22】

【0081】(具体例7) 図10のようにバルク基板上の電界効果型トランジスタにおいて、チャネル下部に正孔が蓄積する領域20が形成される場合も、上と同様の解析が可能である。ただし、この場合、拡散電流はソースに流れこむ成分だけでなく、あらゆる方向に電位障壁9を乗り越えて拡散する成分を含めたものとする。

【0082】(具体例8) 上述の具体例において、ある物理量の時間に対する変化の割合に着目して、タイムステップを動的に変化させる。たとえば、下記数23式において示される正孔量 N の変化の割合に対して、 N という定数を設定し、タイムステップ t_1 を下記数24式により定める。

【0083】

【数23】

$$\partial N / \partial t$$

【0084】

【数24】

$$t_1 = N / (dN/dt|_{t=t_0})$$

あるいは、変化の割合の上限 N_{max} 、下限 N_{min} を定め、変化の割合がこれらの範囲を超えたときに、数23式における N を N_{max} または N_{min} により置き換えることにより決まる t_1 をタイムステップとして用いる。

【0085】(具体例9) タイムステップ t_1 をさらに小さな区間に分割し、その小区間の最初の数点を用いて、正孔の総量 N を求め、得られた値を用いて N の時間変化にたいする補間式を求め、 t_1 における正孔の総量

Nを補間式による外挿から求める。

【００８６】

【発明の効果】以上、説明したように、本発明では、代表的なバイアス点における定常状態のシミュレーション結果または実測から解析モデルで必要となる特徴的な値を抽出し、それを用いて、任意のバイアス条件、及び任意の時間に対する過渡応答の解析を行う。

【００８７】また、本発明では、大規模な行列計算を必要とする数値シミュレーションに比べ計算時間が短く、また解の収束性が良い。また、シミュレーション結果または実測から解析モデルで必要となる特徴的な値を抽出しているため、純粋な解析モデルでは取扱いが困難な物理量を正確に扱えるため、精度が良い。

【図面の簡単な説明】

【図１】本発明の実施の一形態による電界効果型トランジスタの解析方法の説明に供せられる。

【図２】本発明の実施の一形態による空乏層を示す図である。

【図３】本発明の実施の一形態による電界効果型トランジスタの電位分布を示す図である。

【図４】図１の電界効果型トランジスタの正孔濃度に関する等高線を示す図である。

【図５】本発明の実施の一形態による具体例２に係る電界効果型トランジスタの解析方法の説明に供せられる図である。

【図６】本発明の実施の一形態による具体例２に係る電界効果型トランジスタの解析方法の説明に供せられる図である。

【図７】本発明の実施の一形態による具体例３に係る電界効果型トランジスタの解析方法の説明に供せられる図である。

【図８】本発明の実施の一形態による具体例４に係る電界効果型トランジスタの解析方法の説明に供せられる図である。

【図９】本発明の実施の一形態による具体例５に係る電界効果型トランジスタの解析方法の説明に供せられる図である。

【図１０】本発明の実施の一形態による具体例７に係る電界効果型トランジスタの解析方法の説明に供せられる図である。

【図１１】従来技術による異常動作の説明に供せられる図である。

【図１２】従来技術による異常動作の説明に供せられる図である。

【図１３】従来技術２による等価回路の過渡解析の説明に供せられる図である。

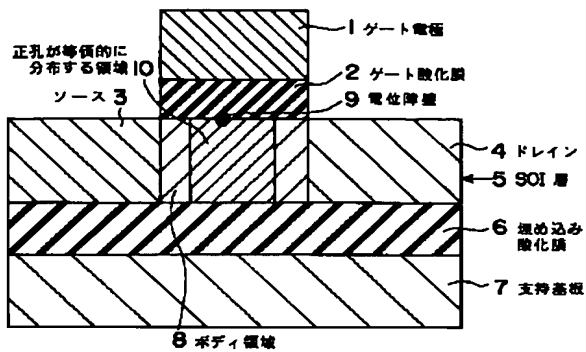
【図１４】従来技術３による等価回路を示す図である。

【図１５】従来技術３による電界効果型トランジスタの解析方法の説明に供せられる図である。

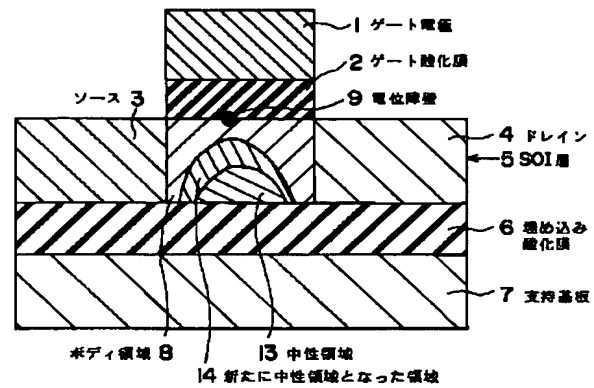
【符号の説明】

- | | |
|----|-----------------|
| 1 | ゲート電極 |
| 2 | ゲート酸化膜 |
| 3 | ソース |
| 4 | ドレイン |
| 5 | SOI層 |
| 6 | 埋め込み酸化膜 |
| 7 | 支持基板 |
| 8 | ボディ領域 |
| 9 | 電位障壁 |
| 10 | 正孔が等価的に分布する領域 |
| 11 | 正孔が主に分布する領域 |
| 12 | 正孔の主に分布する領域の代表点 |
| 13 | 中性領域 |
| 14 | 新たに中性領域となった領域 |
| 15 | 反転層 |
| 16 | ピンチオフ領域 |
| 17 | 中性領域の等価的な増分 |
| 18 | 中性領域の等価的な増分の長さ |
| 19 | 基板 |
| 20 | 正孔が蓄積する領域 |
| 51 | ゲート電極 |
| 52 | ゲート酸化膜 |
| 53 | ソース |
| 54 | ドレイン |
| 55 | SOI層 |
| 56 | 埋め込み酸化膜 |
| 57 | 支持基板 |
| 58 | ボディ領域 |
| 59 | 初期状態における中性領域 |
| 60 | 平衡状態における中性領域 |

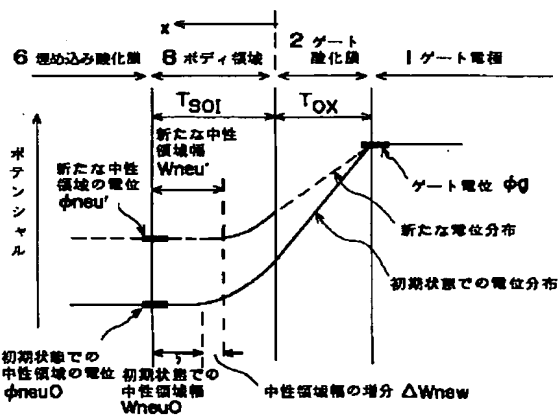
【図1】



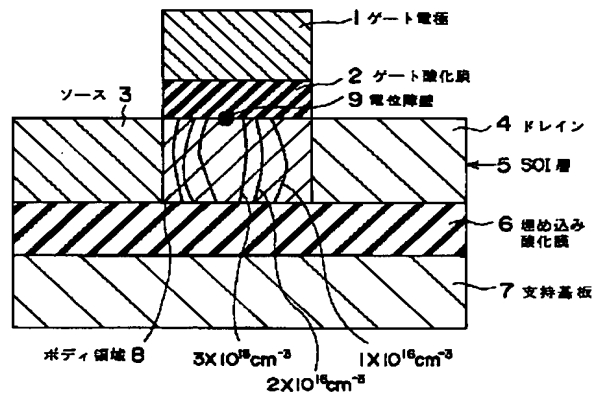
【図2】



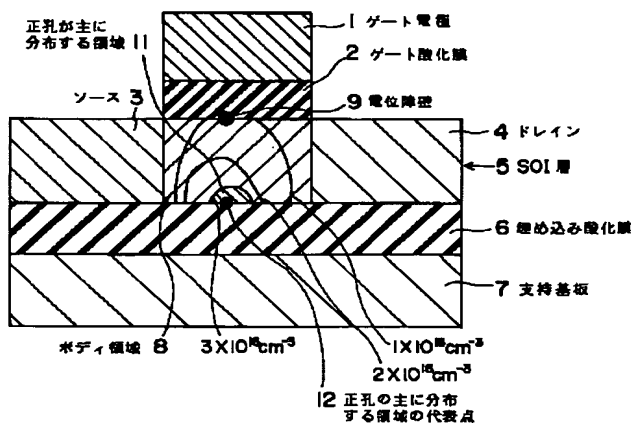
【図3】



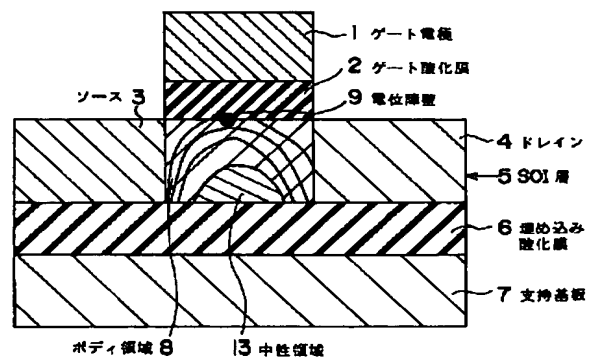
【図4】



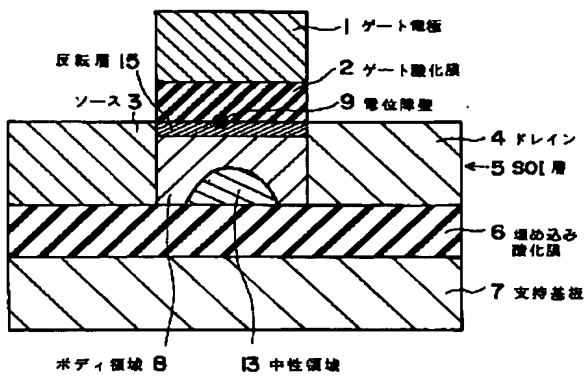
【図5】



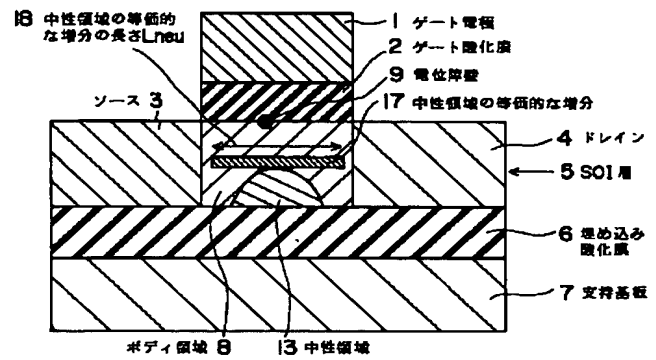
【図6】



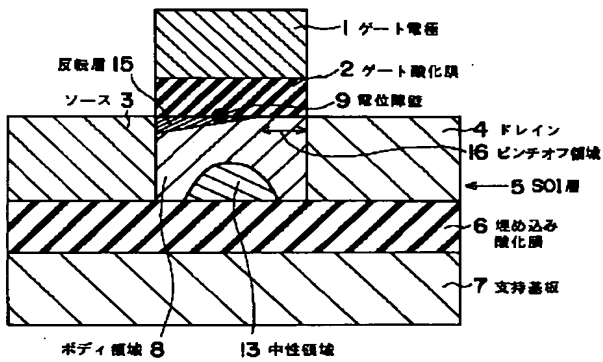
【図7】



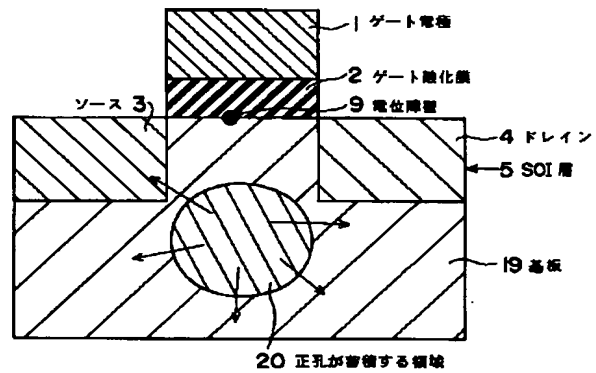
【図8】



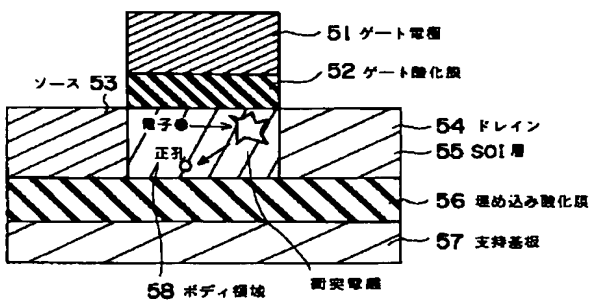
【図9】



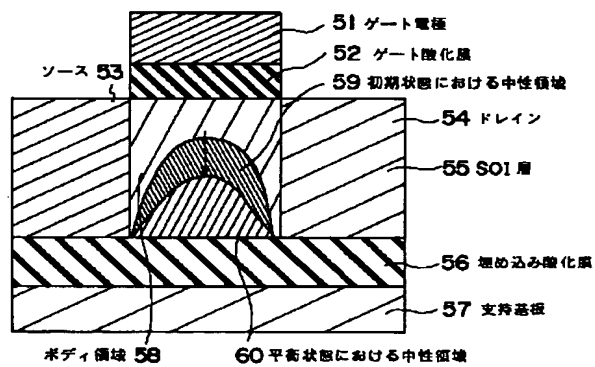
【図10】



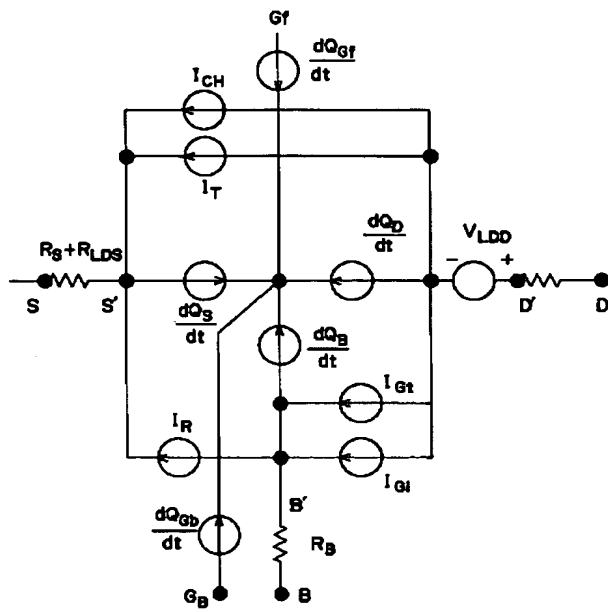
【図11】



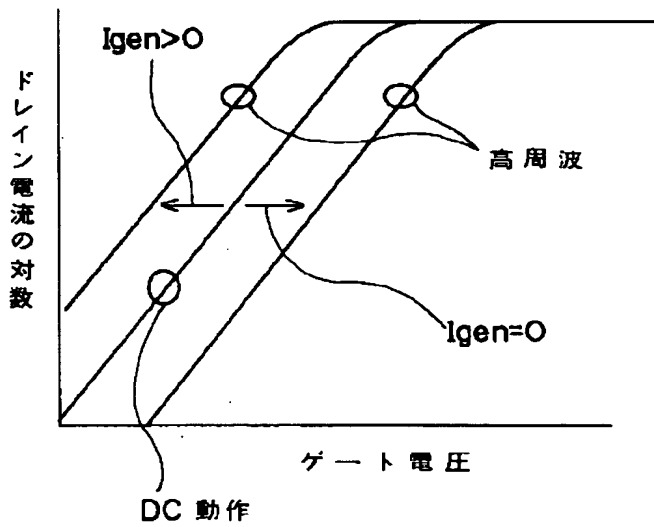
【図12】



【図13】



【図15】



【図14】

